

특 2000-0021351

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.⁶
G02F 1/136(11) 공개번호 특 2000-0021351
(43) 공개일자 2000년 04월 25일

(21) 출원번호	10-1998-0040373
(22) 출원일자	1998년 09월 28일
(71) 출원인	현대전자산업 주식회사 김영환 경기도 이천시 부발읍 아미리 산 136-1
(72) 발명자	미득수 경기도 수원시 권선구 권선동 신동아대원아파트 504동 803호 전정복 서울특별시 광진구 구의동 206-9 102호 미정렬
(74) 대리인	경기도 수원시 팔달구 매탄3동 임광아파트 6동 1010호 최홍순

설사경구 : 없음

(54) 액정표시장치

요약

본 발명은 샷간에 오정렬이 발생되더라도, 스토리지 캐퍼시턴스가 금속하는 것을 방지하여, 킥백 전압의 변동을 최소화시킬 수 있는 액정 표시 장치를 개시한다. 개시된 본 발명은 하부 기판상에 제 1 방향으로 배치된 수개의 게이트 버스 라인과, 상기 제 1 방향과 수직으로 수직인 제 2 방향으로 배치되어 단위 화소 공간을 한정하는 수개의 데이터 버스 라인과, 상기 게이트 버스 라인과 데이터 버스 라인의 교차점 부근에 각각 배치되는 박막 트랜지스터과, 상기 게이트 버스 라인 및 데이터 버스 라인 사이를 절연시키는 게이트 절연막과, 상기 단위 화소 공간에 해당 박막 트랜지스터와 콘택트되도록 형성되는 화소 전극을 포함하며, 상기 화소 전극은 단위 화소 공간의 해당 박막 트랜지스터를 선택하는 게이트 버스 라인 이전에 배열되는 게이트 버스 라인과 오버랩되면서, 동일열 전단의 단위 화소 공간의 소정 부분까지 연장되도록 배치되며, 상기 동일열 전단 단위 화소 공간에 형성되는 화소 전극과는 소정 거리를 두고 이격 배치되는 것을 특징으로 한다.

구성도

도 2

명세서

도면의 간략한 설명

도 1은 일반적인 액정 표시 장치의 평면도.

도 2는 본 발명에 따른 액정 표시 장치의 평면도.

(도면의 주요 부분에 대한 부호의 설명)

11a, 11b - 게이트 버스 라인 12a, 12b - 데이터 버스 라인

15 - 화소 전극

발명의 상세한 설명

발명의 특징

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치에 관한 것으로, 보다 구체적으로는 오정렬 발생 시에도 킥백(kick-back) 전압의 급변을 방지할 수 있는 액정 표시 장치에 관한 것이다.

일반적으로, 액정 표시 장치는 도 1에서와 같이, 게이트 버스 라인(1)과 데이터 버스 라인(2)은 유리 기판(10)상에 교차 배치되어, 단위 화소 공간을 한정한다. 이때, 게이트 버스 라인(1)과 데이터 버스 라인(2) 사이에는 게이트 절연막(도시되지 않음)이 개재되어 있다. 게이트 버스 라인(1)은 단위 화소 공간 당 하나씩 둘출된 둘출부(1a)를 포함한다. 여기서, 둘출부(1a)는 박막 트랜지스터의 게이트 전극이 된

다. 여기서, 본 도면에서는 스토리지 온 게이트 방식(storage on gate) 방식을 나타낸 것으로서, 스토리지 전극이 전단 게이트 버스 라인과 일체로 되어 있는 구조이다.

돌출부(1a) 즉, 게이트 전극(1a) 상부에는 채널총(도시되지 않음)이 배치된다.

데이터 버스 라인(2)은 게이트 전극(1a)상의 채널총과 소정 부분과 오버랩될 수 있도록, 소정 부분 돌출되어 있으며, 이 부분이 박막 트랜지스터의 소오스 전극(2a)이 된다. 그리고, 소오스 전극(2a)과 대칭되는 부분에는 채널총과 오버랩되도록 트레인 전극(3)이 배치된다.

각각의 단위 화소 공간에는 화소 전극(4)이 각각 배치된다. 이때, 화소 전극(4)은 게이트 전극(1a)과 소정 부분 오버랩되는 트레인 전극(3)과 콘택된다. 여기서, 화소 전극(4)과 전단 게이트 버스 라인과 오버랩되어, 스토리지 캐패시턴스(Cst)를 형성한다. 여기서, 화소 전극(4)과 스토리지 전극(1b) 사이에는 게이트 절연막(도시되지 않음)이 개재되어 있다.

발명이 이루고자 하는 기술적 목적

일반적으로 액정 표시 장치의 화질 특성은 액정 표시 장치에서 형성되는 캐패시턴스들에 의하여 결정된다.

즉, 화면에서 깜박거림과 같은 플리커 현상에 영향을 주는 킥백 전압(kick-back voltage: ΔV_p)은 아래의 식 1과 같이, 캐패시턴스의 합수로 나타내어 진다.

$$\Delta V_p = \Delta V_g C_{gs} / (C_{st} + C_o + C_{gs})$$

ΔV_g : 게이트 전압의 변화분

C_{gs} : 박막 트랜지스터에서 게이트 전극과 소오스 전극사이의 캐패시턴스

C_{st} : 스토리지 캐패시턴스

C_o : 액정 캐패시턴스

이러한 킥백 전압은 작은 값을 갖는 것이 바람직하고, 이 킥백 전압값이 증가되면, 플리커 현상이 발생된다.

그러나, 액정 표시 장치를 제조하는데 있어서, 여러번의 샷 공정으로 인한 오정렬로, 샷과 샷 사이의 캐패시턴스가 변화될 수 있다. 특히, 전단 게이트 라인 방식을 이용한 액정 표시 장치의 경우, 화소 전극의 형성시, 약간의 오정렬이 발생되더라도, 전단 게이트 버스 라인과 오버랩되는 면적이 크게 변화되므로, 스토리지 캐패시턴스(Cst)의 변화가 크다.

이와같이, 샷과 샷 사이에 캐패시턴스 차이가 발생되면, 샷 경계면에서 무라가 발생된다.

여기서, 도 1의 셀 1은 제 1 샷 공정으로 형성된 셀이고, 셀 2는 제 2 샷 공정으로 형성된 셀이다. 도면에서와 같이 셀 1과 셀 2의 스토리지 캐패시턴스(Cst)가 차이가 나므로, 셀 1과 셀 2의 경계면에는 무라가 발생된다.

따라서, 본 발명은 상기한 종래의 문제점을 해결하기 위한 것으로, 약간의 오정렬이 발생되더라도, 스토리지 캐패시턴스가 급변하는 것을 방지하여, 킥백 전압의 변동을 최소화시킬 수 있는 액정 표시 장치를 제공하는 것을 목적으로 한다.

발명의 구성 및 작동

상기한 본 발명의 목적을 달성하기 위하여, 본 발명의 일견지에 따르면, 본 발명은 하부 기판상에 제 1 방향으로 배치된 수개의 게이트 버스 라인과, 상기 제 1 방향과 수직으로 수직인 제 2 방향으로 배치되어 단위 화소 공간을 한정하는 수개의 데이터 버스 라인과, 상기 게이트 버스 라인과 데이터 버스 라인의 교차점 부근에 각각 배치되는 박막 트랜지스터과, 상기 게이트 버스 라인 및 데이터 버스 라인 사이를 절연시키는 게이트 절연막과, 상기 단위 화소 공간에 해당 박막 트랜지스터와 콘택되도록 형성되는 화소 전극을 포함하며, 상기 화소 전극은 단위 화소 공간의 해당 박막 트랜지스터를 선택하는 게이트 버스 라인 인접하게 배열되는 게이트 버스 라인과 오버랩되면서, 동일열 전단의 단위 화소 공간의 소정 부분까지 연장되도록 배치되며, 상기 동일열 전단 단위 화소 공간에 형성되는 화소 전극과는 소정 거리를 두고 이격되도록 배치되는 것을 특징으로 한다.

본 발명에 의하면, 화소 전극을 전단 게이트 버스 라인과 오버랩되면서, 동일열의 전단 단위 화소 공간에 배치되도록 형성한다. 이때, 동일열 전단 단위 화소 공간의 화소 전극과는 소정 거리를 두고 이격되도록 형성된다.

이에따라, 약간의 오정렬이 발생되어도, 화소 전극과 전단 게이트 버스 라인과 오버랩되는 면적은 변화되지 않으므로, 킥백 전압이 거의 변화되지 않는다.

따라서, 샷무라가 발생되지 않는다.

(실시예)

이하 첨부한 도면에 의거하여 본 발명의 바람직한 실시예를 자세히 설명하도록 한다.

첨부한 도면은 본 발명에 따른 액정 표시 장치의 평면도이다.

먼저, 도 2에 도시된 바와 같이, 게이트 버스 라인(11a, 11b)과 데이터 버스 라인(12a, 12b)이 유리 기판(20)상에 교차 배열되어, 단위 화소 공간을 한정한다. 이때, 게이트 버스 라인(11a, 11b)과 데이터 버

스 라인(12a, 12b) 사이에는 게이트 절연막(도시되지 않음)이 개재되어 있다.

여기서, 영역 1은 제 1 샷 공정으로 형성되는 부분이고, 영역 2는 제 2 샷 공정으로 형성되는 부분이다. 게이트 버스 라인(11a, 12b)과 데이터 버스 라인(12a, 12b)의 교차점 부근에는 공지의 방식으로 박막 트랜지스터(TFT)가 구비되어 있다.

각각의 단위 화소 공간에는 해당 단위 화소 공간내에 형성된 박막 트랜지스터(TFT)와 접속되도록 화소 전극(15a, 15b)이 배치된다. 이때, 예를들어, 화소 전극(15b)은 전단 게이트 버스 라인(11a)과 오버랩되면서 스토리지 캐패시턴스를 형성한다. 그러면서, 화소 전극(15b)은 동일열 전단의 단위화소 공간에 형성되는 화소 전극(15a)과는 소정 거리만큼 이격되도록 배치된다.

그러면, 도면에서와 같이 영역 1과 영역 2 사이에 샷간 오정렬로 인하여, 화소 전극(15a, 15b)이 오정렬되며, 화소 전극(15b)과 전단 게이트 버스 라인(11a)과 오버랩되는 면적은 변화되지 않는다. 따라서, 스토리지 캐패시턴스가 변화되지 않는다.

발명의 효과

미상에서 자세히 설명된 바와 같이, 본 발명에 의하면, 화소 전극을 전단 게이트 버스 라인과 오버랩되면서, 동일열의 전단 단위 화소 공간에 배치되도록 형성한다. 이때, 동일열 전단 단위 화소 공간의 화소 전극과는 소정거리 이격되도록 형성한다.

미에따라, 약간의 오정렬이 발생되어도, 화소 전극과 전단 게이트 버스 라인과 오버랩되는 면적은 변화되지 않으므로, 칙백 전압이 거의 변화되지 않는다.

따라서, 샷무라가 발생되지 않는다.

기타, 본 발명은 그 요지를 일탈하지 않는 범위에서 다양하게 변경하여 실시할 수 있다.

(57) 첨구의 범위

첨구항 1. 하부 기판상에 제 1 방향으로 배치된 수개의 게이트 버스 라인;

상기 제 1 방향과 실질적으로 수직인 제 2 방향으로 배치되어 단위 화소 공간을 한정하는 수개의 데이터 버스 라인;

상기 게이트 버스 라인과 데이터 버스 라인의 교차점 부근에 각각 배치되는 박막 트랜지스터;

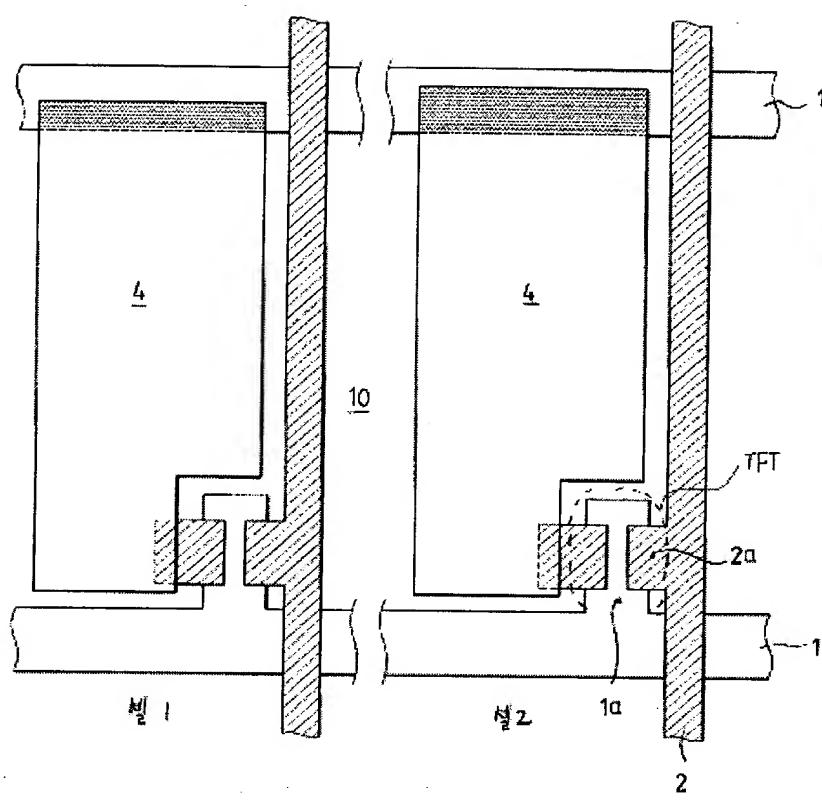
상기 게이트 버스 라인 및 데이터 버스 라인 사이를 절연시키는 게이트 절연막; 및

상기 단위 화소 공간에 해당 박막 트랜지스터와 콘택티되도록 형성되는 화소 전극을 포함하며,

상기 화소 전극은 단위 화소 공간의 해당 박막 트랜지스터를 선택하는 게이트 버스 라인에 인접한 게이트 버스 라인과 오버랩되면서, 동일열 전단의 단위 화소 공간의 소정 부분까지 연장되도록 배치되며, 상기 동일열 전단 단위 화소 공간에 형성되는 화소 전극과는 소정거리를 두고 이격 배치되는 것을 특징으로 하는 액정 표시 장치.

도면

도면



5-52

